

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-326242

(43)Date of publication of application : 22.11.2001

(51)Int.Cl.

H01L 21/60
H01L 21/82
H01L 21/3205
H01L 27/04
H01L 21/822

Best Available Copy

(21)Application number : 2000-143112

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.05.2000

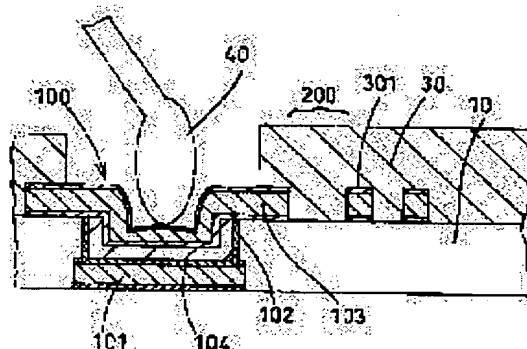
(72)Inventor : YAMASHITA YUKIHIRO

(54) SEMICONDUCTOR DEVICE AND METHOD OF FABRICATION

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a prohibition area in the vicinity of an I/O pad electrode part where a wiring pattern can not be arranged by achieving high density wiring of redundant fuse wiring, or the like, being formed of the same layer as an upper layer pad electrode without lowering crack resistance of a semiconductor substrate against ultrasonic damage at the I/O pad electrode part at the time of wire bonding.

SOLUTION: When a tungsten electrode 104 is formed in the pad opening 102 of an interlayer insulation film 10 formed on a lower layer pad electrode 10, bottom part of the pad opening 102 is raised and the step coverage of an upper layer pad electrode 103 is improved. Since a relatively thin upper layer pad electrode 103 can be formed, machinability of a redundant fuse wiring 301 formed of the same layer as the upper layer pad electrode 103 is enhanced and the wiring pitch can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-326242

(P2001-326242A)

(43)公開日 平成13年11月22日(2001. 11. 22)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 21/60	3 0 1	H 0 1 L 21/60	3 0 1 P 5 F 0 3 3
21/82		21/82	F 5 F 0 3 8
21/3205		21/88	T 5 F 0 4 4
27/04			Z 5 F 0 6 4
21/822		27/04	E
審査請求 未請求 請求項の数4 O L (全 14 頁)			

(21)出願番号 特願2000-143112(P2000-143112)

(22)出願日 平成12年5月16日(2000. 5. 16)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山下 征大

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100076174

弁理士 宮井 暁夫

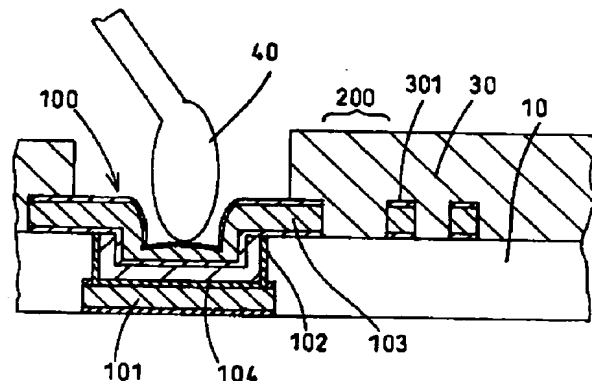
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 入出力パッド電極部のワイヤボンディング時の超音波ダメージに対する半導体基板のクラック耐性を低下させることなく、上層パッド電極と同一レイヤで形成される冗長ヒューズ配線等の配線の高密度化を図り、入出力パッド電極部近傍の配線パターンを配置できない禁止領域を小さくする。

【解決手段】 下層パッド電極101上に形成した層間絶縁膜10のパッド開口部102内に、タングステン電極104を形成することにより、パッド開口部102の底部が底上げされるので、上層パッド電極103の段差被覆性が改善され、比較的薄い膜厚で上層パッド電極103を形成することができ、この上層パッド電極103と同一レイヤで形成される冗長ヒューズ配線301の配線の加工性が向上し、配線ピッチを縮小することが可能となる。



【特許請求の範囲】

【請求項 1】 半導体基板上の第 1 の層間絶縁膜上に形成した下層パッド電極と、前記第 1 の層間絶縁膜および前記下層パッド電極上に形成され前記下層パッド電極上に露出させるパッド開口部を有した第 2 の層間絶縁膜と、前記第 2 の層間絶縁膜上に形成した配線と、前記配線と同一層により前記パッド開口部を覆うように形成され外部端子と電気的に接続される上層パッド電極とを備えた半導体装置であって、
前記パッド開口部内で前記下層パッド電極と上層パッド電極との間に形成した中間パッド電極を設けたことを特徴とする半導体装置。

【請求項 2】 配線は冗長ヒューズ配線であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 半導体基板上の第 1 の層間絶縁膜上に下層パッド電極を形成する工程と、
前記第 1 の層間絶縁膜および前記下層パッド電極上に第 2 の層間絶縁膜を形成する工程と、
前記下層パッド電極上に露出させるように前記第 2 の層間絶縁膜を開口レパッド開口部を形成する工程と、
前記パッド開口部内の前記下層パッド電極上に中間パッド電極を形成する工程と、
前記第 2 の層間絶縁膜および前記中間パッド電極上に配線用の導電膜を形成する工程と、
前記導電膜上にレジストを塗布し、パターン形成する工程と、
前記レジストをマスクとして前記導電膜を選択的に除去し、配線と前記中間パッド電極を覆う上層パッド電極とを形成する工程とを含む半導体装置の製造方法。

【請求項 4】 レジストを塗布する前に導電膜上に反射防止膜を塗布する工程を設けることを特徴とする請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関し、特に半導体装置の入出力パッド部の構造に係わるものである。

【0002】

【従来の技術】 従来の半導体装置では、半導体基板上にトランジスタや抵抗などの素子を形成したのち、これらを電気的に接続するためにアルミや銅などの金属材料を用いて素子間配線が形成されている。また、これら半導体基板に形成された半導体装置は、水分や熱、衝撃などの外部環境から半導体装置を保護するためにセラミックなどの材料で構成されたパッケージに封止する。このときパッケージの外部端子（リード）と半導体装置とを電気的に接続する必要がある。通常、半導体基板上に形成された素子間配線から引き出された入出力パッド電極とパッケージの外部端子とをワイヤボンディングという方法を用い、金線などを熱や超音波を用いて接着しこれら

の電気的接続を図っている。

【0003】 一方、近年半導体装置の中には、例えば DRAM (Dynamic Random Access Memory) や SRAM (Static Random Access Memory) などの記憶装置と論理回路とを同一半導体基板上に形成した半導体装置が設計されるようになってきた。しかも、これら DRAM や SRAM などの記憶装置では、微細化に伴って記憶容量が数メガビットといった大容量化が進み、これらの大容量メモリの歩留りが半導体装置の歩留りを律速するようになってきた。そのため、所望の記憶容量に対してあらかじめ冗長な記憶容量を備え、記憶装置の中の不良メモリブロックと接続されている冗長配線をレーザーブローにより溶断することによって不良メモリを切り離し、半導体装置の不良を救済する方法が行われている。一般に、冗長配線はレーザーブローにより冗長配線を溶断しやすくように最上層のメタル配線層で形成されている。これらについて図面を用いて説明する。

【0004】 図 13 は、従来の半導体装置における入出力パッド電極部および冗長ヒューズ配線部付近を示す概略平面図である。

【0005】 図 13 において、半導体基板の内部素子からパッド電極部まで配線されてきたパッド引き出し配線 105 に接続された下層パッド電極 101 とそれよりも少なくとも内側に開口されたパッド開口部 102 を備え、パッド開口部 102 を少なくとも覆うように上層パッド電極 103 が配置されている。これらによって入出力パッド電極部 100 が構成されている。さらに、入出力パッド電極部 100 と冗長ヒューズ配線部 300 は、禁止領域 200 を挟んで配置されている。冗長ヒューズ配線 301 は、前述の通り同一半導体基板上に形成した記憶装置、例えば DRAM などの各メモリブロックに接続されており、不良メモリブロックをレーザーブローにより溶断し、切り離すことにより半導体装置を救済するためのものである。

【0006】 次に、図 14 は図 13 の A-A' 間の概略断面図を示す。図 14 において、下層パッド電極 101 は、密着層としての窒化チタン (TiN) 膜と Al-Cu 膜などのアルミ合金膜と窒化チタン (TiN) 膜のキャップ層からなる積層配線がよく用いられている。なお、これらの膜は通常スパッタ法により半導体基板上に堆積され、リソグラフィ法によるレジストパターン形成とこれをエッチングマスクとして反応性イオンエッチング法などの異方性エッチングにより加工することにより所望のパターンに形成される。さらにその上には層間絶縁膜 10 が配置され、これを開口する形でパッド開口部 102 が形成されている。さらにこのパッド開口部 102 に上層パッド電極 103 が下層パッド電極 101 と同様に Al-Cu 膜を窒化チタン膜で挟みこむような構成で形成されている。これにより入出力パッド電極部 1

00を構成している。また、冗長ヒューズ配線301は禁止領域200を隔てて層間絶縁膜10上に配置されている。さらにこれらの表面を覆うパッシベーション膜30が形成され、入出力パッド電極部100が露出するようにパッシベーション膜30が開口されている。この開口部にワイヤボンディング法で例えば金線などの金属材料を熱圧着及び超音波によって入出力パッド電極部100に接着している。

【0007】次に図15乃至図17は従来の半導体装置の製造方法を示す工程概略断面図である。

【0008】まず、図15(a)に示すように、半導体基板上に形成された層間絶縁膜(図示せず)上に、密着層1として窒化チタン(TiN)膜を50nm成膜したのち、アルミ-銅合金(AlCu)膜2をスパッタ法により400nm成膜し、さらにその上にキャップ層3として窒化チタン(TiN)膜を50nm成膜する。その後、リソグラフィ法により下層パッド電極を形成するためのレジストパターンを形成する。これをエッチングマスクとして反応性イオンエッチングにより加工することにより下層パッド電極101を形成する。次に、層間絶縁膜10をたとえば900nm程度の膜厚で全面に堆積し、下層パッド電極101との電氣的接続を図るためのパッド開口部102をリソグラフィ法及び反応性イオンエッチングによりエッチングすることにより形成する。

【0009】次に、図15(b)に示すように、下層パッド電極101と同様に密着層5として窒化チタン(TiN)膜を50nm成膜したのち、アルミ-銅合金(AlCu)膜6をスパッタ法により800nm成膜し、さらにその上にキャップ層7として窒化チタン(TiN)層を50nm成膜する。このときパッド開口部102の端部に成膜されたアルミ-銅合金(AlCu)膜6はスパッタ法により形成したのでパッド開口部102の端部でオーバーハング形状を示す。

【0010】次に、図16(a)に示すように、上層パッド電極103および冗長ヒューズ配線301を形成する際のレジストパターンを高精度に形成するために、反射防止膜(Anti-Reflection Coating)としてボトムARC層20を形成する。これは、たとえば有機ARC膜などを回転塗布法により80nm程度の膜厚でスピコートする。この時、パッド開口部102にできた凹部とパッド開口部102の端部にオーバーハング形状に成膜されたアルミ-銅合金膜6によってボトムARC層20の膜厚はパッド開口部102付近で膜厚が局所的に不均一になる。

【0011】さらに、図16(b)に示すように、ボトムARC層20の上にレジスト材料21を回転塗布法によりスピコートする。その後、図17(a)に示すように、リソグラフィ法により上層パッド電極及び冗長ヒューズ配線を形成するための所望のレジストパターン

21Aを形成する。

【0012】次に、レジストパターン21AをエッチングマスクとしてボトムARC層20、密着層5、アルミ-銅合金膜6、キャップ層7を反応性イオンエッチングにより異方性エッチングすることにより上層パッド電極103および冗長ヒューズ配線301を形成し、その後、レジストパターン21AとボトムARC層20を除去する(図17(b))。

【0013】次に、図14に示すように、例えばシラン(SiH₄)ガス及びアンモニア(NH₃)ガスを用い350℃程度の成膜温度でプラズマCVD(Chemical Vapor Deposition)法によりパッシベーション膜30としてシリコン窒化膜を成膜する。その後、リソグラフィ法及び反応性イオンエッチングを用いてボンディングワイヤ40を接着するためのボンディングパッド開口部をパッシベーション膜30に開口し、ここに金線などからなるボンディングワイヤ40を接着することによりパッケージの外部端子と電氣的接続を図っている。

20 【0014】

【発明が解決しようとする課題】従来の半導体装置において、入出力パッド電極部100は、下層パッド電極101と直接接するように配置された上層パッド電極103の上にボンディングワイヤ40が接着される構造となっているため、以下のような問題点を生じる。

【0015】つまり、下層パッド電極101と直接接するように配置された上層パッド電極103上にボンディングワイヤ40を接着するので、ワイヤボンドの際に受ける超音波接着によるダメージによって半導体基板にクラックが入るという問題点がある。このため、そのダメージを緩和するために入出力パッド電極部100のボンディングワイヤ40を接着する部分はパッド電極のアルミ-銅合金膜の膜厚を1200nm以上に厚膜化しておく必要がある。そのため上層パッド電極103のアルミ-銅合金膜の膜厚は少なくとも800nm程度と下層パッド電極101のアルミ-銅合金膜の膜厚に比べて2倍程度の膜厚を確保しておく必要がある。従って、上層パッド電極103と同一レイヤで形成される冗長ヒューズ配線301は、比較的膜厚が厚くなって配線ピッチの厳しい配線を形成するのは加工性の点で極めて困難となるので半導体装置の高密度化を阻害するひとつの要因となっている。

【0016】また、従来の半導体装置の製造方法で示したように、下層パッド電極101を形成したあと層間絶縁膜10を堆積し、これにパッド開口部102を例えば100μm角の大きさで大きく開口したのち、上層パッド電極103となるアルミ-銅合金膜6をスパッタ法により成膜し、これをリソグラフィ法及び反応性イオンエッチングにより加工して入出力パッド電極部100を形成しているため以下のような問題点を生じる。

【0017】つまり、入出力パッド電極部100のパッド開口部102の端部ではスパッタ法で成膜したアルミ-銅合金膜6のカバレッジが大きく低下し、オーバーハング形状になり、またパッド開口部102が大きく凹形状となっているためボトムARC層20の膜厚が極めて不均一となるので、入出力パッド電極部100近傍の数100 μ mの領域は配線層の加工が極めて困難となり、配線パターンを配置できない禁止領域200となっていた。また、入出力パッド電極部100のピッチを詰めることも困難となっていた。このことが半導体装置の高密度化を阻害するひとつの要因となっていた。

【0018】本発明の目的は、以上のような問題点を解決するためになされたもので入出力パッド電極部のワイヤボンディング時の超音波ダメージに対する半導体基板のクラック耐性を低下させることなく、上層パッド電極と同一レイヤで形成される冗長ヒューズ配線等の配線の高密度化を図り、さらに入出力パッド電極部近傍に設けられていた禁止領域を小さくできる半導体装置およびその製造方法を提供することを目的としている。またさらには、入出力パッド電極部のピッチも小さくでき、チップ面積の小さい半導体装置を提供することを目的としている。

【0019】

【課題を解決するための手段】請求項1記載の半導体装置は、半導体基板上の第1の層間絶縁膜上に形成した下層パッド電極と、第1の層間絶縁膜および下層パッド電極上に形成され下層パッド電極上に露出させるパッド開口部を有した第2の層間絶縁膜と、第2の層間絶縁膜上に形成した配線と、配線と同一層によりパッド開口部を覆うように形成され外部端子と電気的に接続される上層パッド電極とを備えた半導体装置であって、パッド開口部内で下層パッド電極と上層パッド電極との間に形成した中間パッド電極を設けたことを特徴とする。

【0020】請求項2記載の半導体装置は、請求項1記載の半導体装置において、配線は冗長ヒューズ配線であることを特徴とする。

【0021】本発明の半導体装置によれば、上層パッド電極と下層パッド電極との電気的接続を図るために設けられたパッド開口部に、中間パッド電極が形成され、パッド開口部の底部が底上げされているので、上層パッド電極を形成する際にパッド開口部の凹部の深さが低減され、上層パッド電極の段差被覆性が改善され、比較的薄い膜厚で上層パッド電極を形成すればよく、この上層パッド電極と同一レイヤで形成される冗長ヒューズ配線等の配線の加工性が向上し、配線ピッチを縮小することが可能となり、配線の高密度化が図れる。また、上層パッド電極形成時にパッド開口部の凹部の深さが低減されていることと、上層パッド電極の段差被覆性が改善され、上層パッド電極の膜厚を薄くできることにより、パッド開口部の端部からある領域において高精度なパターン形

成が困難となる禁止領域を小さくすることができ、入出力パッド電極部のピッチも小さくできる。したがって、半導体装置のチップ面積の縮小化、半導体装置の高密度化を達成することが可能となる。しかも、上層パッド電極と下層パッド電極と中間パッド電極とで構成される入出力パッド電極部の厚みは維持されるので、ワイヤボンディング時の超音波接着による半導体基板へのダメージを緩和でき、クラック耐性を低下させることもない。

【0022】請求項3記載の半導体装置の製造方法は、半導体基板上の第1の層間絶縁膜上に下層パッド電極を形成する工程と、第1の層間絶縁膜および下層パッド電極上に第2の層間絶縁膜を形成する工程と、下層パッド電極上に露出させるように第2の層間絶縁膜を開口レパッド開口部を形成する工程と、パッド開口部内の下層パッド電極上に中間パッド電極を形成する工程と、第2の層間絶縁膜および中間パッド電極上に配線用の導電膜を形成する工程と、導電膜上にレジストを塗布し、パターン形成する工程と、レジストをマスクとして導電膜を選択的に除去し、配線と中間パッド電極を覆う上層パッド電極とを形成する工程とを含んでいる。

【0023】請求項4記載の半導体装置の製造方法は、請求項3記載の半導体装置の製造方法において、レジストを塗布する前に導電膜上に反射防止膜を塗布する工程を設けることを特徴とする。

【0024】本発明の半導体装置の製造方法によれば、下層パッド電極上に露出したパッド開口部に中間パッド電極を形成し、その上に上層パッド電極と配線を形成するための導電膜を形成するため、この導電膜を形成する際にパッド開口部の凹部の深さが低減され、上層パッド電極の段差被覆性が改善され、比較的薄い膜厚で形成すればよく、上層パッド電極と同一レイヤで形成される冗長ヒューズ配線等の配線の加工性が向上し、配線ピッチを縮小することが可能となり、配線の高密度化が図れる。また、上層パッド電極形成時にパッド開口部の凹部の深さが低減されていることと、上層パッド電極の段差被覆性が改善され、上層パッド電極の膜厚を薄くすることにより、パッド開口部の端部からある領域において高精度なパターン形成が困難となる禁止領域を小さくすることができ、入出力パッド電極部のピッチも小さくできる。したがって、半導体装置のチップ面積の縮小化、半導体装置の高密度化を達成することが可能となる。しかも、上層パッド電極と下層パッド電極と中間パッド電極とで構成される入出力パッド電極部の厚みは維持されるので、ワイヤボンディング時の超音波接着による半導体基板へのダメージを緩和でき、クラック耐性を低下させることもない。

【0025】

【発明の実施の形態】（第1の実施の形態）図1は本発明の第1の実施の形態における半導体装置の入出力パッド電極部および冗長ヒューズ配線部付近を示す概略平面

図である。

【0026】図1において、半導体基板の内部素子からパッド電極部まで配線されてきたパッド引き出し配線105に接続された下層パッド電極101とそれよりも少なくとも内側に開口されたパッド開口部102を備え、パッド開口部102の側壁面及び底面を少なくとも覆うように凹型のタングステン電極104が設けられている。さらにこれらを少なくとも覆うように上層パッド電極103が配置されている。これらによって入出力パッド電極部100が構成されている。さらに、入出力パッド電極部100と冗長ヒューズ配線300は、禁止領域200を挟んで配置されている。冗長ヒューズ配線301は、前述の通り同一半導体基板上に形成した記憶装置、例えばDRAMなどの各メモリブロックに接続されており、不良メモリブロックをレーザーブローにより溶断し、切り離すことにより半導体装置を救済するためのものである。上層パッド電極103と冗長ヒューズ配線301は最上層の配線層により形成され、下層パッド電極101とパッド引き出し配線105は最上層より1層下の配線層により形成されている。

【0027】次に、図2は図1のA-A'間の概略断面図を示す。図2において、下層パッド電極101は、密着層としての窒化チタン(TiN)膜とAl-Cu膜などのアルミ合金膜と窒化チタン(TiN)膜のキャップ層からなる積層配線がよく用いられている。なお、これらの膜は通常スパッタ法により半導体基板上に堆積され、リソグラフィ法によるレジストパターン形成とこれをエッチングマスクとして反応性イオンエッチング法などの異方性エッチングにより加工することにより所望のパターンに形成される。さらにその上には層間絶縁膜10が配置され、これを開口する形でパッド開口部102が形成されている。このパッド開口部102の側壁面及び底面には凹型タングステン電極104が配置されており、上層パッド電極103からみたパッド開口部102の凹部の深さが低減されている。さらにこのパッド開口部102に上層パッド電極103が下層パッド電極と同様にAl-Cu膜を窒化チタン膜で挟みこむような構成で形成されている。これにより入出力パッド電極部100を構成している。また、冗長ヒューズ配線301は禁止領域200を隔てて層間絶縁膜10上に配置されている。さらにこれらの表面を覆うパッシベーション膜30が形成され、入出力パッド電極部100が露出するようにパッシベーション膜30が開口されている。この開口部にボンディングワイヤ40を例えば金線などの金属材料を熱圧着及び超音波による方法を用いて入出力パッド電極部100に接着している。

【0028】次に、図3乃至図6は本発明の第1の実施の形態における半導体装置の製造方法を示す工程概略断面図である。

【0029】まず、図3(a)に示すように、半導体基

板上に形成された層間絶縁膜(図示せず)上に、密着層1として窒化チタン(TiN)膜を50nm成膜したのち、アルミ銅合金(AlCu)膜2をスパッタ法により400nm成膜し、さらにその上にキャップ層3として窒化チタン(TiN)膜を50nm成膜する。その後、リソグラフィ法により下層パッド電極を形成するためのレジストパターンを形成し、これをエッチングマスクとして反応性イオンエッチングにより加工することにより下層パッド電極101を形成する。次に、層間絶縁膜10をたとえば900nm程度の膜厚で全面に堆積し、下層パッド電極との電氣的接続を図るためのパッド開口部102をリソグラフィ法及び反応性イオンエッチングにより、層間絶縁膜10と窒化チタンのキャップ層3をエッチングすることにより形成する。

【0030】次に、図3(b)に示すように、密着層1となる窒化チタン(TiN)膜を50nm程度例えばスパッタ法を用いて成膜したのち、タングステン膜4を例えばCVD法により400nm程度成膜する。

【0031】その後、図4(a)に示すように、CMP法により研磨することによって、層間絶縁膜10上のタングステン膜4及び窒化チタンの密着層11を除去し、パッド開口部102の側壁面およびその底部にのみ密着層11とタングステン膜4を残し、凹型タングステン電極104を形成する。パッド開口部102の側壁面及び底面にはCMP研磨の際にはほとんど研磨布が接触しないのでパッド開口部102内の密着層11とタングステン膜4は除去されずに残る。また、本工程によってパッド開口部102の底部は凹型タングステン電極104によって底上げがなされるので次工程の上層パッド電極の形成からみたパッド開口部102内の凹部の深さは低減されることになる。

【0032】次に、図4(b)に示すように、従来の方法と同様に密着層5として窒化チタン(TiN)膜を50nm成膜したのち、アルミ銅合金(AlCu)膜6をスパッタ法により400nm成膜し、さらにその上にキャップ層7として窒化チタン(TiN)層を50nm成膜する。この時、パッド開口部102の底部に除去されずに残ったタングステン膜4が400nm存在するので、上層のパッド電極となるアルミ銅合金(AlCu)膜6は400nmと従来の半分の膜厚に設定すれば充分である。また、前工程においてパッド開口部102の凹部の深さは低減されていることと、上層のパッド電極となるアルミ銅合金(AlCu)膜6は400nmと従来の半分の膜厚しか必要ないので、スパッタ法により形成したアルミ銅合金(AlCu)膜6のパッド開口部102に生じるステップ段差の段差被覆性はかなり改善される。

【0033】次に、図5(a)に示すように、従来と同様の方法で、上層パッド電極103および冗長ヒューズ配線301を形成する際のレジストパターンを高精度に

10

20

30

40

50

形成するために反射防止膜 (Anti-Reflection Coating) となるボトムARC層20を形成する。これは、たとえば有機ARC膜などを回転塗布法により80nm程度の膜厚でスピコートする。この時、パッド開口部102にできた凹部の深さは浅くなっていることと、パッド開口部102の端部に成膜されたアルミ-銅合金層6の段差被覆性が改善されていることにより、ボトムARC層20の膜厚はパッド開口部102付近でも不均一となることはない。さらにその上に従来と同様の方法でレジスト材料21を回転塗布法によりスピコートする。その後、図5(b)に示すように、リソグラフィー法により上層パッド電極及び冗長ヒューズ配線を形成するための所望のレジストパターン21Aを形成する。

【0034】次に、レジストパターン21AをエッチングマスクとしてボトムARC層20、密着層5、アルミ-銅合金膜6、キャップ層7を反応性イオンエッチングにより異方性エッチングすることにより上層パッド電極103および冗長ヒューズ配線301を形成し、その後、レジストパターン21AとボトムARC層20を除去する(図6)。

【0035】次に、図2に示すように、従来と同様の方法で例えばシラン(SiH_4)ガス及びアンモニア(NH_3)ガスを用い350℃程度の成膜温度でプラズマCVD (Chemical Vapor Deposition) 法によりパッシベーション膜30としてシリコン窒化膜を成膜する。その後、リソグラフィー法及び反応性イオンエッチングを用いてボンディングワイヤ40を接着するためのボンディングパッド開口部をパッシベーション膜30に開口し、ここに金線などからなるボンディングワイヤ40を接着することによりパッケージの外部端子と電気的接続を図っている。

【0036】以上のように本実施の形態によれば、上層パッド電極103と下層パッド電極101との電気的接続を図るために設けられたパッド開口部102に、タングステン電極104が形成され、パッド開口部102の底部が底上げされるので、上層パッド電極103を形成する際にパッド開口部102の凹部の深さが低減され、上層パッド電極103の段差被覆性が改善され、比較的薄い膜厚で上層パッド電極103を形成することができ、この上層パッド電極103と同一レイヤで形成される冗長ヒューズ配線301等の配線の加工性が向上し、配線ピッチを縮小することが可能となり、配線の高密度化が図れる。

【0037】また、タングステン電極104の形成によりパッド開口部102の凹部の深さが低減されていることと、上層パッド電極103の段差被覆性が改善され、スパッタ法などで成膜される上層パッド電極103の膜厚を薄くできることにより、上層パッド電極103を形成する際に反射防止膜として用いるボトムARC層20

の膜厚はパッド開口部102付近でも不均一となることはなく、パッド開口部102の端部からある領域において高精度なパターン形成が困難となる禁止領域200を小さくすることができ、入出力パッド電極部100のピッチも小さくできる。したがって、半導体装置のチップ面積の縮小化、半導体装置の高密度化を達成することが可能となる。

【0038】しかも、上層パッド電極103と下層パッド電極101とタングステン電極104とで構成される入出力パッド電極部100の厚みは1200nm以上に維持されるので、ワイヤボンディング時の超音波接着による半導体基板へのダメージを緩和でき、クラック耐性を低下させることもない。

【0039】なお、パッド開口部102付近のボトムARC層20の膜厚の均一性について補足説明をすると、従来は図16(a)に示すように、パッド開口部102のアルミ-銅合金層6のオーバーハング形状とパッド開口部102の凹部によって、そこに粘性のあるARC材料が溜まることによってARC材料に凹部に溜まろうとする力Fが働く。この力Fは凹部の深さ d_1 が深いほど大きくなると考えられる。ここで、図5(a)に示したARC材料が凹部に溜まろうとする力f、凹部の深さ d_2 と、図16(a)の場合とを比較すると、 $d_1 > d_2$ であり、 $F > f$ となる。したがって、タングステン電極104が形成され、さらに上層パッド電極103の膜厚を薄くすることで、凹部の深さ d_2 が浅くなり、ボトムARC層20の膜厚の均一性が向上する。

【0040】(第2の実施の形態) 図7は本発明の第2の実施の形態における半導体装置の入出力パッド電極部および冗長ヒューズ配線部付近を示す概略平面図であり、図1のタングステン電極104がパッド開口部102の底面及び側壁面に形成された凹型形状であったのに対し、図7におけるタングステン電極104は、パッド開口部102に完全に埋め込まれている。その他、図1と同じ機能を有するものには同一符号を付け、その繰り返しの説明は省略する。

【0041】次に、図8は図7のA-A'間の概略断面図を示す。図8において、下層パッド電極101は、密着層1としての窒化チタン(TiN)膜とAl-Cu膜などのアルミ合金膜2と窒化チタン(TiN)膜のキャップ層3からなる積層配線がよく用いられている。なお、これらの膜は通常スパッタ法により半導体基板上に堆積され、リソグラフィー法によるレジストパターン形成とこれをエッチングマスクとして反応性イオンエッチング法などの異方性エッチングにより加工することにより所望のパターンに形成される。さらにその上には層間絶縁膜10が配置され、これを開口する形でパッド開口部102が形成されている。このパッド開口部102に層間絶縁膜10の表面と同じ高さまで埋設したタングステン電極104が配置されている。さらにこのパッド開

口部 102 に埋設したタングステン電極 104 を覆うように上層パッド電極 103 が、下層パッド電極 101 と同様に Al-Cu 膜を窒化チタン膜で挟みこむような構成で形成されている。これにより入出力パッド電極部 100 を構成している。また、冗長ヒューズ配線 301 は禁止領域 200 を隔てて層間絶縁膜 10 上に配置されている。さらにこれらの表面を覆うパッシベーション膜 30 が形成され、入出力パッド電極部 100 が露出するようにパッシベーション膜 30 が開口されている。この開口部にボンディングワイヤ 40 を例えば金線などの金属材料を熱圧着及び超音波による方法を用いて入出力パッド電極部 100 に接着している。

【0042】さらに図 9 乃至図 12 は本発明の第 2 の実施の形態における半導体装置の製造方法を示す工程概略断面図である。

【0043】まず、図 9 (a) に示すように、半導体基板上に形成された層間絶縁膜 (図示せず) 上に、密着層 1 として窒化チタン (TiN) 膜を 50 nm 成膜したのち、アルミ銅合金 (AlCu) 膜 2 をスパッタ法により 400 nm 成膜し、さらにその上にキャップ層 3 として窒化チタン (TiN) 膜を 50 nm 成膜する。その後、リソグラフィ法により下層パッド電極を形成するためのレジストパターンを形成し、これをエッチングマスクとして反応性イオンエッチングにより加工することにより下層パッド電極 101 を形成する。次に、層間絶縁膜 10 をたとえば 900 nm 程度の膜厚で全面に堆積し、下層パッド電極との電気的接続を図るためのパッド開口部 102 をリソグラフィ法及び反応性イオンエッチングにより、層間絶縁膜 10 と窒化チタンのキャップ層 3 をエッチングすることにより形成する。

【0044】次に、図 9 (b) に示すように、例えば選択タングステン成長法を用いてパッド開口部 102 の内部にタングステン膜 4 を少なくとも層間絶縁膜 10 の表面よりも高い位置まで成長させてタングステン膜 4 を埋設する。

【0045】その後、図 10 (a) に示すように、CMP 法により研磨することによって、層間絶縁膜 10 の最表面よりも高い位置まで成長した余分なタングステン膜 4 を除去することによって、平滑な基板表面を得る。これによってパッド開口部 102 は完全にタングステン膜 4 (タングステン電極 104) によって埋設されるので、次工程の上層パッド電極の形成時にはパッド開口部 102 の凹部が無いため上層パッド電極の成膜が極めて易しくなる。

【0046】次に、図 10 (b) に示すように、従来の方法と同様に密着層 5 として窒化チタン (TiN) 膜を 50 nm 成膜したのち、アルミ銅合金 (AlCu) 膜 6 をスパッタ法により 400 nm 成膜し、さらにその上にキャップ層 7 として窒化チタン (TiN) 層を 50 nm 成膜する。この時、パッド開口部 102 には完全にタ

ングステン膜 4 が埋設されているので、上層のパッド電極となるアルミ銅合金 (AlCu) 膜 6 は 400 nm と従来の半分の膜厚に設定すれば充分である。また、前工程においてパッド開口部 102 の凹部は無くなっているため、スパッタ法により形成されるアルミ銅合金 (AlCu) 膜 6 は、パッド開口部 102 付近でも平滑に成膜できる。

【0047】次に、図 11 (a) に示すように、従来と同様の方法で、上層パッド電極 103 および冗長ヒューズ配線 301 を形成する際のレジストパターンを高精度に形成するために反射防止膜 (Anti-Reflection Coating) となるボトム ARC 層 20 を形成する。これは、たとえば有機 ARC 膜などを回転塗布法により 80 nm 程度の膜厚でスピコートする。この時、パッド開口部 102 上でもスパッタ法で成膜されたアルミ銅合金層 6 は平滑に成膜されているので、ボトム ARC 層 20 の膜厚はパッド開口部 102 付近でも不均一となることはない。さらにその上に従来と同様の方法でレジスト材料 21 を回転塗布法によりスピコートする。その後、図 11 (b) に示すように、リソグラフィ法により上層パッド電極及び冗長ヒューズ配線を形成するための所望のレジストパターン 21A を形成する。

【0048】次に、レジストパターン 21A をエッチングマスクとしてボトム ARC 層 20、密着層 5、アルミ銅合金膜 6、キャップ層 7 を反応性イオンエッチングにより異方性エッチングすることにより上層パッド電極 103 および冗長ヒューズ配線 301 を形成し、その後、レジストパターン 21A とボトム ARC 層 20 を除去する (図 12)。

【0049】次に、図 8 に示すように、従来と同様の方法で例えばシラン (SiH₄) ガス及びアンモニア (NH₃) ガスを用い 350℃ 程度の成膜温度でプラズマ CVD (Chemical Vapor Deposition) 法によりパッシベーション膜 30 としてシリコン窒化膜を成膜する。その後、リソグラフィ法及び反応性イオンエッチングを用いてボンディングワイヤ 40 を接着するためのボンディングパッド開口部をパッシベーション膜 30 に開口し、ここに金線などからなるボンディングワイヤ 40 を接着することによりパッケージの外部端子と電気的接続を図っている。

【0050】以上のように本実施の形態によれば、第 1 の実施の形態と同様の効果が得られる。さらに、本実施の形態では、パッド開口部 102 にタングステン電極 104 で完全に埋め込んでいるため、ボトム ARC 層 20 のパッド開口部 102 付近の膜厚の均一性と表面の平坦性がより高まり、禁止領域 200 をより小さくすることが可能になる。

【0051】なお、第 2 の実施の形態では、タングステン膜 4 をパッド開口部 102 に層間絶縁膜 10 の表面よ

10

20

30

40

50

り少し高い位置まで成長させた後、CMP法により研磨してパッド開口部102をタングステン膜4で埋め込むようにしたが、パッド開口部102に少しでもタングステン膜4を成長させれば、その分パッド開口部102の凹部の深さが浅くなり、上層のパッド電極となるアルミ-銅合金(AlCu)膜6を薄くすることができ、ある程度の効果が得られる。このような場合、層間絶縁膜10の表面の高さ以下にタングステン膜4を成長させればよく、その後のCMP法により研磨は必要ない。

【0052】なお、上記第1および第2の実施の形態においては、下層パッド電極101と上層パッド電極103との間でパッド開口部102内に形成される膜としてタングステン膜を例示したが、他の高融点金属材料(Mo, Tiなど)やその他の金属材料(Al, Cuなど)でも同様の効果を奏する。

【0053】

【発明の効果】以上のように本発明の半導体装置によれば、上層パッド電極と下層パッド電極との電気的接続を図るために設けられたパッド開口部に、中間パッド電極が形成され、パッド開口部の底部が底上げされているので、上層パッド電極を形成する際にパッド開口部の凹部の深さが低減され、上層パッド電極の段差被覆性が改善され、比較的薄い膜厚で上層パッド電極を形成すればよく、この上層パッド電極と同一レイヤで形成される冗長ヒューズ配線等の配線の加工性が向上し、配線ピッチを縮小することが可能となり、配線の高密度化が図れる。また、上層パッド電極形成時にパッド開口部の凹部の深さが低減されていることと、上層パッド電極の段差被覆性が改善され、上層パッド電極の膜厚を薄くすることにより、パッド開口部の端部からある領域において高精度なパターン形成が困難となる禁止領域を小さくすることができ、入出力パッド電極部のピッチも小さくできる。したがって、半導体装置のチップ面積の縮小化、半導体装置の高密度化を達成することが可能となる。しかも、上層パッド電極と下層パッド電極と中間パッド電極とで構成される入出力パッド電極部の厚みは維持されるので、ワイヤボンディング時の超音波接着による半導体基板へのダメージを緩和でき、クラック耐性を低下させることもない。

【0054】また、本発明の半導体装置の製造方法によれば、下層パッド電極上を露出したパッド開口部に中間パッド電極を形成し、その上に上層パッド電極と配線を形成するための導電膜を形成するため、この導電膜を形成する際にパッド開口部の凹部の深さが低減され、上層パッド電極の段差被覆性が改善され、比較的薄い膜厚で形成すればよく、上層パッド電極と同一レイヤで形成される冗長ヒューズ配線等の配線の加工性が向上し、配線ピッチを縮小することが可能となり、配線の高密度化が図れる。また、上層パッド電極形成時にパッド開口部の凹部の深さが低減されていることと、上層パッド電極の

段差被覆性が改善され、上層パッド電極の膜厚を薄くすることにより、パッド開口部の端部からある領域において高精度なパターン形成が困難となる禁止領域を小さくすることができ、入出力パッド電極部のピッチも小さくできる。したがって、半導体装置のチップ面積の縮小化、半導体装置の高密度化を達成することが可能となる。しかも、上層パッド電極と下層パッド電極と中間パッド電極とで構成される入出力パッド電極部の厚みは維持されるので、ワイヤボンディング時の超音波接着による半導体基板へのダメージを緩和でき、クラック耐性を低下させることもない。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における半導体装置の概略平面図。

【図2】本発明の第1の実施の形態における半導体装置の概略断面図。

【図3】本発明の第1の実施の形態における半導体装置の製造方法を示す工程概略断面図。

【図4】本発明の第1の実施の形態における半導体装置の製造方法を示す工程概略断面図。

【図5】本発明の第1の実施の形態における半導体装置の製造方法を示す工程概略断面図。

【図6】本発明の第1の実施の形態における半導体装置の製造方法を示す工程概略断面図。

【図7】本発明の第2の実施の形態における半導体装置の概略平面図。

【図8】本発明の第2の実施の形態における半導体装置の概略断面図。

【図9】本発明の第2の実施の形態における半導体装置の製造方法を示す工程概略断面図。

【図10】本発明の第2の実施の形態における半導体装置の製造方法を示す工程概略断面図。

【図11】本発明の第2の実施の形態における半導体装置の製造方法を示す工程概略断面図。

【図12】本発明の第2の実施の形態における半導体装置の製造方法を示す工程概略断面図。

【図13】従来の半導体装置を示す概略平面図。

【図14】従来の半導体装置を示す概略断面図。

【図15】従来の半導体装置の製造方法を示す工程概略断面図。

【図16】従来の半導体装置の製造方法を示す工程概略断面図。

【図17】従来の半導体装置の製造方法を示す工程概略断面図。

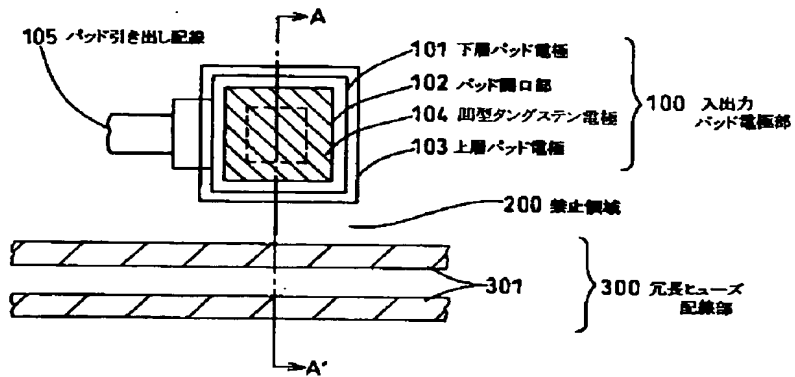
【符号の説明】

- 101 下層パッド電極
- 102 パッド開口部
- 103 上層パッド電極
- 104 タングステン電極
- 200 禁止領域

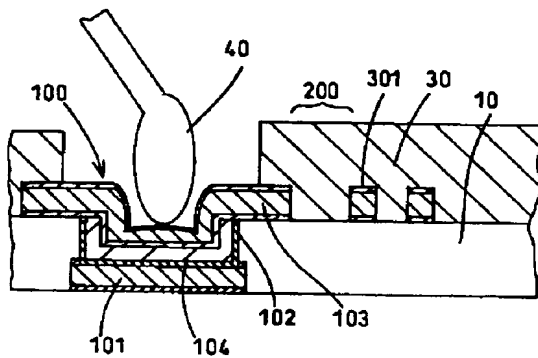
301 冗長ヒューズ配線

15

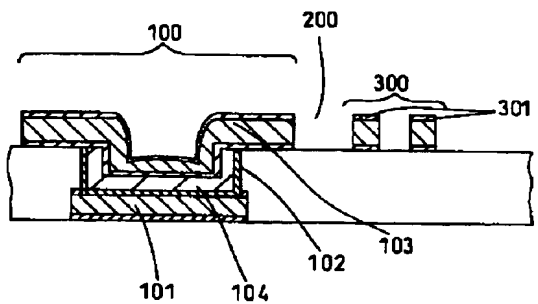
【図1】



【図2】

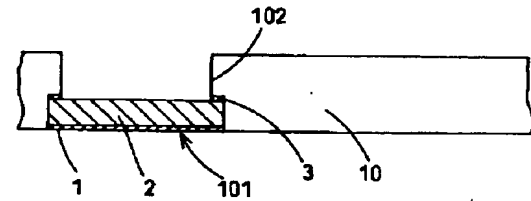


【図6】

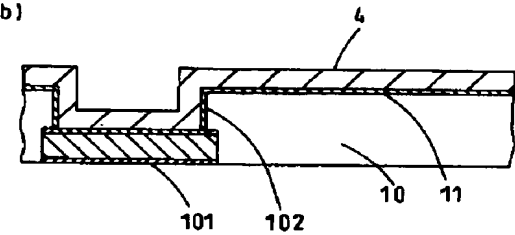


【図3】

(a)

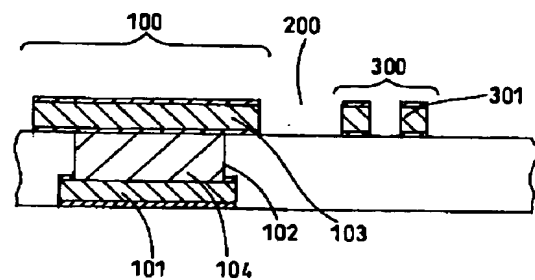


(b)



- 1 密着層
- 2 アルミ-銅合金膜
- 3 キャップ層
- 4 タングステン膜
- 11 密着層

【図12】



【図 5】

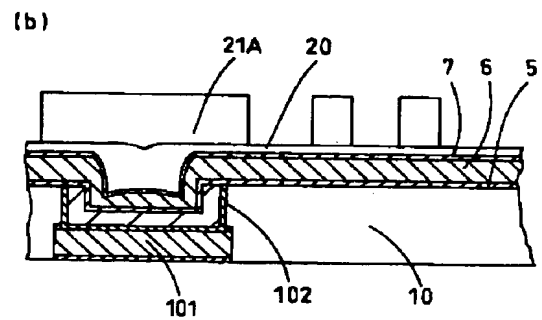
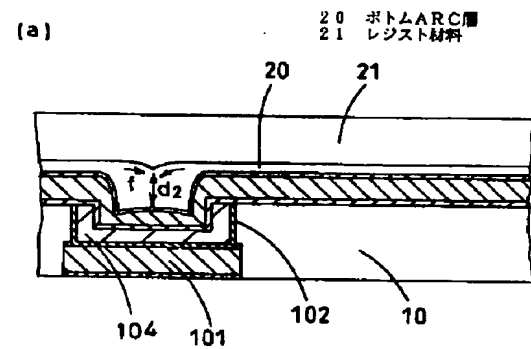
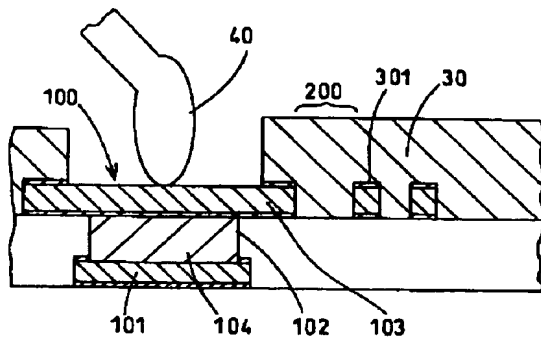
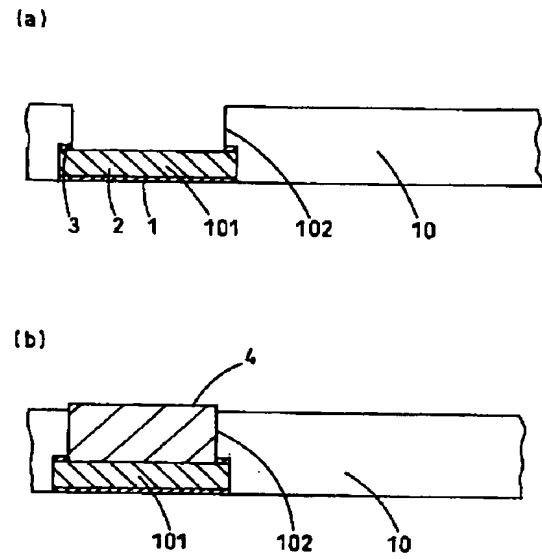


Fig. 1 is a schematic diagram of a semiconductor device in cross-section. The device includes a substrate 100 with an input/output pad electrode 101, a pad opening 102, a tungsten electrode 104, and an upper pad electrode 103. A pad lead-out wiring 105 is connected to the pad electrode. A forbidden region 200 is defined around the pad electrode. A long lead-in wiring 301 is connected to the pad electrode. The device is shown in a cross-section along line A-A'.

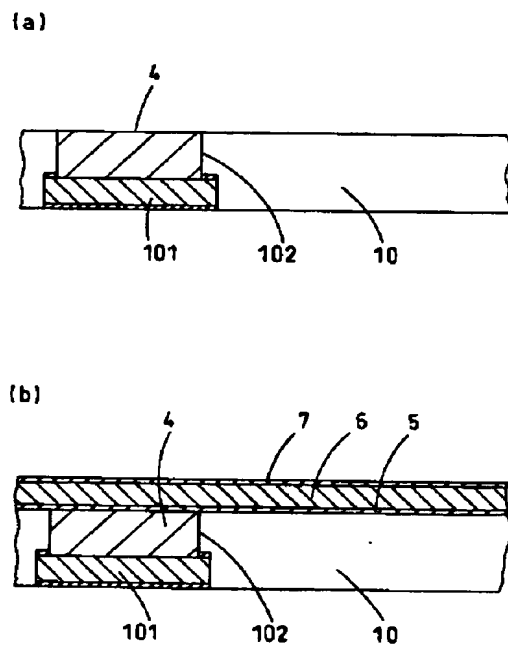
【図8】



【図9】



【図10】



【図11】

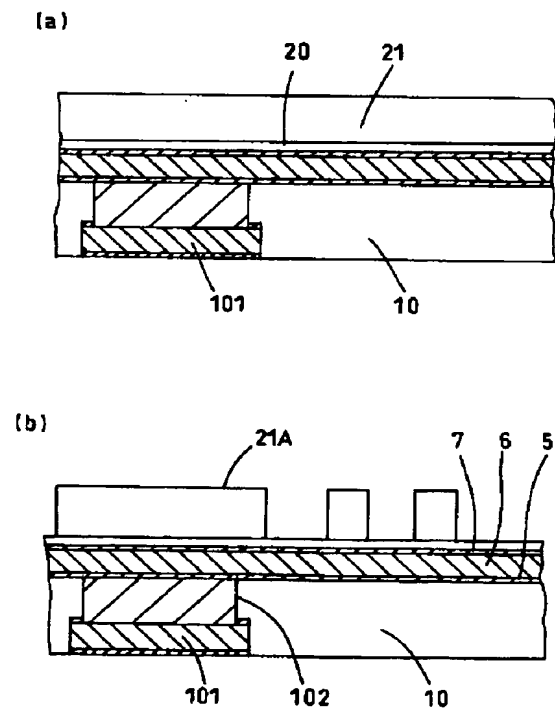
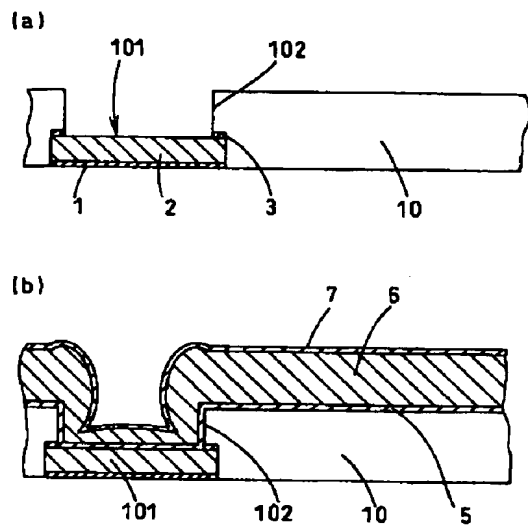


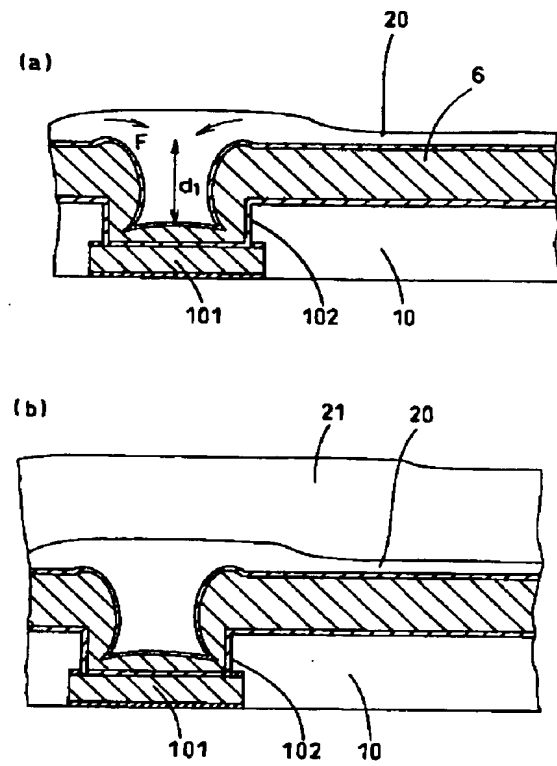
Figure 1 is a schematic diagram of a semiconductor device. The device includes a substrate 300 with a long resistor wiring 301. Above the substrate is a forbidden region 200. Within this region is a pad opening portion 100, which contains a lower pad electrode 101 and an upper pad electrode 103. A lead wiring 105 is connected to the pad opening portion. A vertical dashed line A-A' indicates the plane for the cross-section shown in Figure 2.

[illegible]

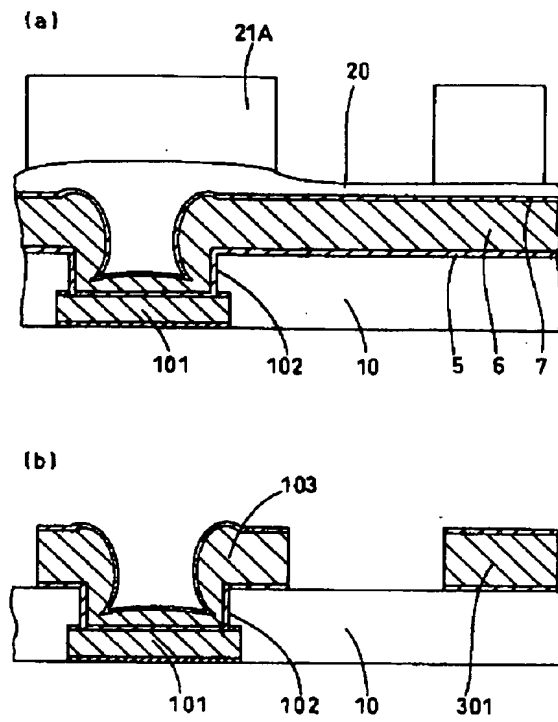
【図15】



【図16】



【図17】



フロントページの続き

Fターム(参考) 5F033 HH09 HH33 JJ19 JJ33 KK09
 KK33 MM05 NN03 NN06 NN19
 PP06 PP07 PP15 QQ04 QQ08
 QQ09 QQ13 QQ16 QQ25 QQ37
 QQ48 RR06 SS15 VV07 VV11
 XX01 XX03 XX17
 5F038 BE07 CA02 DF05 EZ20
 5F044 EE04 EE11 EE21
 5F064 BB13 BB14 DD42 FF02 FF27
 FF32 FF33 FF42

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.